



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04205503 A**(43) Date of publication of application: **27.07.92**

(51) Int. Cl.

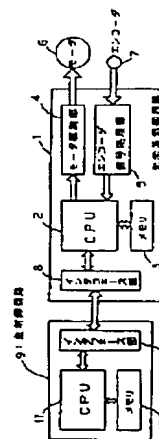
G05B 15/02**G03G 15/00**(21) Application number: **02340030**(71) Applicant: **MITA IND CO LTD**(22) Date of filing: **30.11.90**(72) Inventor: **MATSUURA YASUMASA**(54) **CONTROL DEVICE**

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To omit the need develop a control program from scratch despite the change of characteristic of a control device by transferring the characteristic data stored in a data storage means of a 2nd control circuit to the data storage means of a 1st control circuit before the start of the processing and therefore obtained a general-purpose program of one of both control circuits.

CONSTITUTION: A 1st control circuit 1 contains a data storage means 3 which stores a control processing program and a data storage means 3 which stores the characteristic data. Meanwhile a 2nd control circuit 9 contains a data storage means 12 which stores previously the characteristic data necessary for the circuit 1 to carry out the program. Then the characteristic data in the means 12 are transferred to a store area of the data storage means 3. Thus the characteristic data which are contained in the program of the circuit 9 and are not general-purpose are transferred to the program of the circuit 1 so as to obtain a general-purpose program.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-205503

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)7月27日

G 05 B 15/02
G 03 G 15/00

1 0 2 M

7740-3H
8004-2H

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 制御装置

⑯ 特 願 平2-340030

⑰ 出 願 平2(1990)11月30日

⑱ 発 明 者 松 浦 康 昌 大阪府大阪市中央区玉造1丁目2番28号 三田工業株式会社内

⑲ 出 願 人 三田工業株式会社 大阪府大阪市中央区玉造1丁目2番28号

⑳ 代 理 人 弁理士 稲岡 耕作 外2名

明 細 書

1. 発明の名称

制 御 装 置

2. 特許請求の範囲

1. 第1制御回路および第2制御回路を含み、

第1制御回路には、制御処理のためのプログラムが記憶されたプログラム記憶手段およびプログラムを実行する上で必要な特性データをストアすることのできるエリアを有するデータ記憶手段が備えられており、

第2制御回路には、第1制御回路がプログラムを実行する上で必要な特性データが予め記憶されたデータ記憶手段が備えられており、

さらに、処理開始時までに、第2制御回路のデータ記憶手段に記憶されている特性データを第1制御回路のデータ記憶手段のストアエリアへ転送させる転送指令手段、を含むことを特徴とする制御装置。

2. 請求項1記載の制御装置において、

第1制御回路は、複写機の特定の装置を制

御するための制御回路であり、

第2制御回路は、複写機全体を制御する主制御回路であることを特徴とするものである。

3. 発明の詳細な説明

<産業上の利用分野>

この発明は、たとえば主制御回路および従制御回路というように、制御装置が複数の制御回路を含んでおり、互いの制御回路が一定の関連下において制御動作を行うような制御装置に関するものである。

より具体的には、たとえば複写機の制御装置のように、本体を制御するための主制御回路と、光学系を制御するための光学系制御回路とを有するような制御装置に関するものである。

<従来の技術>

この発明の従来技術として、複写機の制御装置を例にとって説明をする。

近年の複写機には、制御装置としてマイクロコンピュータ(CPUおよびその周辺機器)が備えられ、複写機本体の制御や光学系の制御を司どっ

ている。複写機に備えられているマイクロコンピュータは、通常、1つだけではなく、本体制御用のマイクロコンピュータ、光学系制御用のマイクロコンピュータというように、それぞれ、別個に設けられていた。この理由は、1つのマイクロコンピュータによって全制御を行うようにすると、処理効率の低下を招くからである。

ところで、光学系の速度制御を、第5図(第5図において、横軸は時間、縦軸は速度が表わされている。)に示すように行う場合には、スキャン速度を一定速度 V_s に制御するために必要な定数、リターン時の制御速度 V_{R1} 、 V_{R2} およびブレーキングを開始する位置データ l_b (またはブレーキングを開始する時間データ t_b)等の特性データを制御プログラムに予め書込んでおかなければならなかった。

また、本体制御を行うマイクロコンピュータのプログラムにも、本体制御を行うために必要な特性データを予め書込んでおく必要があった。

そのため、従来は、特性の異なる機種間におい

ては、たとえば光学系制御用のプログラムを共用できなかった。つまり、或る機種用の光学系制御用プログラムは他の機種にそのまま適用することができず、特性の異なる機種ごとに、それぞれ、光学系制御用プログラムを開発しなければならなかった。

より具体的に説明すれば、或る複写機の光学系駆動用の光学モータが $M1$ で、そのモータ $M1$ にかかる負荷量が $L1$ である場合に、その光学系制御用のプログラムが開発されたとする。この場合に、そのプログラムを光学モータが $M2$ でそのモータ $M2$ にかかる負荷量が $L2$ の光学系制御用マイクロコンピュータにそのまま適用しようとしても、それはできず、プログラム全体を変更しなければならなかった。

この発明は、このような背景のもとになされたもので、第1制御回路および第2制御回路を含む制御装置において、第1制御回路のために開発された制御プログラムが、特性の異なる他の第1制御回路のためのプログラムとしてもそのまま適用

することができるようなプログラムを有する制御装置を提供することを目的としている。

つまりこの発明は、要約すれば、2つの制御回路を含む制御装置において、一方の制御回路のプログラム中に含まれている装置特性に影響される汎用的でない特性データを、他方の制御回路のプログラム中に移すことによって、一方の制御回路のプログラムを汎用的なプログラムにした制御装置である。

<課題を解決するための手段>

すなわち、この発明は、具体的には、第1制御回路および第2制御回路を含み、第1制御回路には、制御処理のためのプログラムが記憶されたプログラム記憶手段およびプログラムを実行する上で必要な特性データをストアすることのできるエリアを有するデータ記憶手段が備えられており、第2制御回路には、第1制御回路がプログラムを実行する上で必要な特性データが予め記憶されたデータ記憶手段が備えられており、さらに、処理開始時までに、第2制御回路のデータ記憶手段に

記憶されている特性データを第1制御回路のデータ記憶手段のストアエリアへ転送させる転送指令手段、を含むことを特徴とするものである。

またこの発明は、前記制御装置において、第1制御回路は、複写機の特定の装置を制御するための制御回路であり、第2制御回路は、複写機全体を制御する主制御回路であることを特徴とするものである。

<作用>

処理開始時までに、第2制御回路のデータ記憶手段に記憶されている特性データは、第1制御回路のデータ記憶手段のストアエリアに転送される。特性データがストアエリアへ転送された後は、第1制御回路はプログラム記憶手段に記憶されたプログラムおよびストアエリアにストアされた特性データに基づいて、装置の特性に応じた制御を実行できる。

第1制御回路の制御対象が、特性の異なる同一機種に変わった場合には、第2制御回路のデータ記憶手段に記憶されている特性データを、変更後

の制御対象の特性データに書込できればよく、第1制御回路のプログラム記憶手段に記憶されたプログラムはそのまま使用できる。

<実施例>

以下には、図面を参照して、この発明の一実施例として、複写機の制御装置を例にとって説明する。しかしながら、この発明は、実施例で説明する複写機の制御装置に限らず、第1制御回路および第2制御回路という少なくとも2つの制御回路を有する制御装置に広く適用することができる。たとえば、複数のファクシミリ装置が接続されたファクシミリシステム、複数のプリンタを制御するためのプリンタ制御システム等にも適用できることを予め申し述べておく。

第1図は、この発明の一実施例にかかる複写機の光学系制御回路および主制御回路を表わすブロック図である。光学系制御回路1には、CPU2と、CPU2に接続されたメモリ3と、CPU2によって制御されるモータ駆動部4と、エンコーダ信号処理部5とが備えられている。モータ駆動

部4から出力される駆動信号により光学系駆動用の光学モータ6が駆動される。光学モータ6の回転軸にはエンコーダ7（または周波数ジェネレータでもよい）が連結されており、エンコーダ7の出力パルスはエンコーダ信号処理部5へ与えられて処理され、CPU2に速度検出信号としてフィードバックされる。

さらに、光学系制御回路1には、インタフェース部8が備えられていて、このインタフェース部8を介してCPU2は主制御回路9との間でデータの伝送または通信ができる。

主制御回路9にもデータの伝送や通信に必要なインタフェース部10が備えられ、さらに、CPU11およびこのCPU11に接続されたメモリ12が備えられている。

第2図(A)は、第1図に示す光学系制御回路1におけるメモリ3のメモリマップで、第2図(B)は参照のために示した従来のメモリ3のメモリマップである。

メモリ3にはデータの書換が可能なRAM領域

とデータの書換ができない、予めプログラムが記憶されたROM領域とが含まれている。第2図の(A)と(B)との比較から明らかとなり、この実施例においては、データの書換が可能なRAM領域に特性データA、B、C、VR1、VR2、LBおよび設定速度データVsが記憶されている。これに対し、従来のメモリ3では、設定速度データVsを除く特性データA、B、C、VR1、VR2、LBは、プログラムの内容の一部として、ROM領域に予め記憶されていた。

ここで、上述の特性データA、B、C、VR1、VR2、LBについて説明をしておく。

光学系における光学モータ6のへ印加する制御電圧Vは、一般に、

$$V = \frac{A}{n_s} + \frac{B}{n} + C \quad \dots (1)$$

$$A = \frac{R_a \cdot G D^2 \cdot 60 \cdot f}{375 \cdot K_T \cdot \Delta t \cdot C}$$

$$B = \frac{60 \cdot f \cdot K_E}{C} - \frac{R_a \cdot G D^2 \cdot 60 \cdot f}{375 \cdot K_T \cdot \Delta t \cdot C}$$

$$C = R_a \left(1_0 + \frac{T_{BL}}{K_T} \right)$$

ここで

R_a : モータの電機子抵抗

$G D^2$: はずみ車率 ($G D^2 = 4 g J$).

g : 重力加速度,

J : 慣性モーメント)

K_T : モータのトルク定数

f : エンコーダパルスのパルス幅測定の基準クロック周波数

C : エンコーダの分解能

K_E : モータの誘起電圧定数

Δt : 制御ループ時間

n_s : 目標速度のパルス幅のカウント数

n : 測定したパルスのパルス幅のカウント数

で表わすことができる。

あるいは、光学モータ6の制御式は、上述の表現形式に代えて、下記の表現形式で表わすこともできる。

$$M = K_P \left(e + \frac{1}{T_i} \int e dt + T_d \frac{de}{dt} \right) \dots (2)$$

$$e = S - Q$$

ここで、

M : 操作量

K_P : 比例ゲイン

e : 偏差

S : 目標値

Q : 測定値

T_i : 積分時間

T_d : 微分時間

さらに、上記の式(2)をデジタル形式で表現すれば、

$$M_n = K_P \left\{ e_n + \frac{r}{T_i} \sum_{k=1}^n e_k + \frac{T_d}{r} (e_n - e_{n-1}) \right\} \dots (3)$$

ここで、

r : サンプルング時間

主制御回路9におけるメモリ12のメモリマップで、(B)に参照のために従来のメモリ12のメモリマップが示されている。

メモリ12には、データの書換が可能なRAM領域およびデータの書換ができないROM領域が備えられている。この実施例においては、メモリ12のROM領域に、予め、光学系制御回路1に必要な特性データA、B、C、VR1、VR2、LBおよび速度指令データV_{s0}が設定されている。

なお、速度指令データV_{s0}は、複写倍率が100%のときのモータ指令速度であり、設定速度データV_sとの間には、

$$V_s = (V_{s0} / \text{倍率}(\%)) \times 100$$

の関係がある。主制御回路9のCPU11は、複写倍率に応じて速度指令データV_{s0}から設定速度データV_sを算出し、それを光学系制御回路1へ与える。

第4図は、第1図の光学系制御回路1の動作を説明するためのフローチャートである。次に、第

となる。

上式(1)～(3)のいずれにおいても、モータの定速制御に必要な定数が含まれているが、ここでは、最初に述べた式(1)に基づいて説明する。

式(1)におけるA、BおよびCは光学モータ6を定速制御する際に必要な定数であり、光学モータ6の特性によって定まる値である。また、この光学モータ6によって第5図に示すような速度制御を行うには、前述したように、リターン時の制御速度VR1、VR2およびブレーキングを開始する位置データLBが特性データとして必要である。また、V_sは設定速度データである。

この実施例では、次に述べるように、これら特性データA、B、C、VR1、VR2およびLBが、最初からメモリ3に記憶されているのではなく、処理開始時までに、主制御回路側9から伝送されてきてメモリ3に書込まれるようにされている。

第3図(A)は、この発明の一実施例にかかる

4図の流れに沿って、第1図の回路1の動作について説明をする。

たとえば電源が投入されると、光学系制御回路1の初期設定処理がされ、CPU2の動作が可能化される(ステップS1)。

次いで、CPU2は、制御に使用する特性データA、B、C、VR1、VR2、LBが主制御回路9から伝送され、それを受取ったか否かの判別をする(ステップS2)。制御に使用する特性データA、B、C、VR1、VR2、LBを受取った場合には、CPU2は送られてきた特性データ処理しやすい形にし、その特性データA、B、C、VR1、VR2、LBを第2図(A)に示すように、メモリ3のRAM領域に記憶する(ステップS3)。このステップS3までの処理は、制御処理の開始時で行われる。

そして、CPU2は、設定速度データV_sを受取ったか否かの判別をし(ステップS4)、設定速度データV_sを受取った場合には、速度データV_sを使いやすい形にする(ステップS5)。さ

らに、主制御回路9からのスタート指令を受取ったか否かの判別をし（ステップS6）、スタート指令を受取った場合には、速度制御を行う（ステップS7）。たとえば第5図に示すように光学モータ6の回転数を制御する。そして、ストップ指令を受取ると（ステップS8）、停止制御を行う（ステップS9）。

以上の実施例は、複写機における光学系制御回路1と主制御回路9との関係を取上げて説明した。しかし、複写機においては、光学系制御回路1の他にも表面電位制御回路、露光ランプ制御回路、ヒータ制御回路、自動原稿送り装置の制御回路、ソータの制御回路等があり、これら各制御回路も、上記光学系制御回路1と同様の構成とすることができる。すなわち、各制御回路において必要な特性データを、各制御回路のプログラム内に書込むのではなく、主制御回路9のプログラム内に書込んでおき、制御処理開始時までに、主制御回路9から伝送されるようにすることができる。

そしてそれにより、各制御回路のプログラムを

汎用的なものとしてすることができ、装置特性が変わっても、新たにプログラムを開発したりプログラム変更したりしなくてすむ。

< 発明の効果 >

この発明は、以上のように構成されているので、制御装置が2つ以上の制御回路を含む場合に、1の制御回路を除いてプログラムを汎用的なプログラムとすることができ、装置の特性が変わることにすべての制御プログラムを新たに開発する必要のない制御装置とすることができる。

4. 図面の簡単な説明

第1図は、この発明の一実施例にかかる制御回路の構成ブロック図である。

第2図は、光学系制御回路におけるメモリのメモリマップであり、従来例と比較して示された図である。

第3図は、主制御回路におけるメモリのメモリマップであり、従来例と比較して示された図である。

第4図は、光学系制御回路の制御動作を表わす

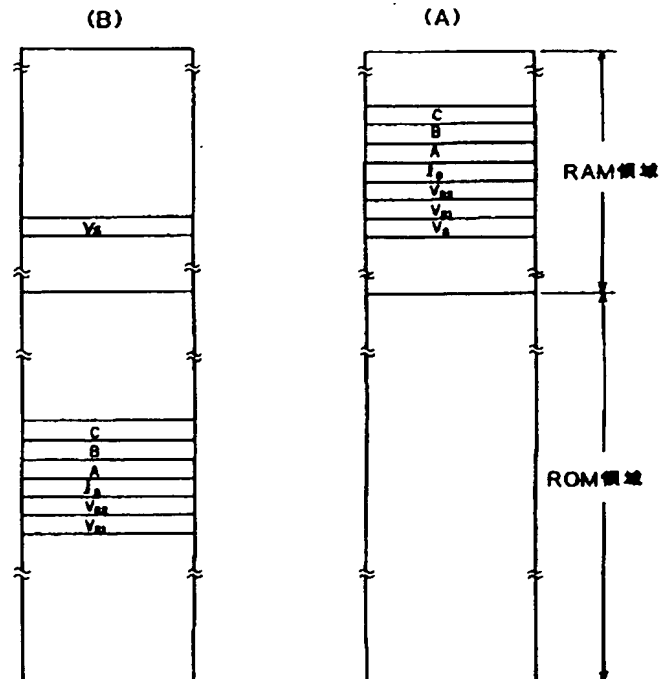
フローチャートである。

第5図は、複写機の光学系の速度制御の一例を表わす図である。

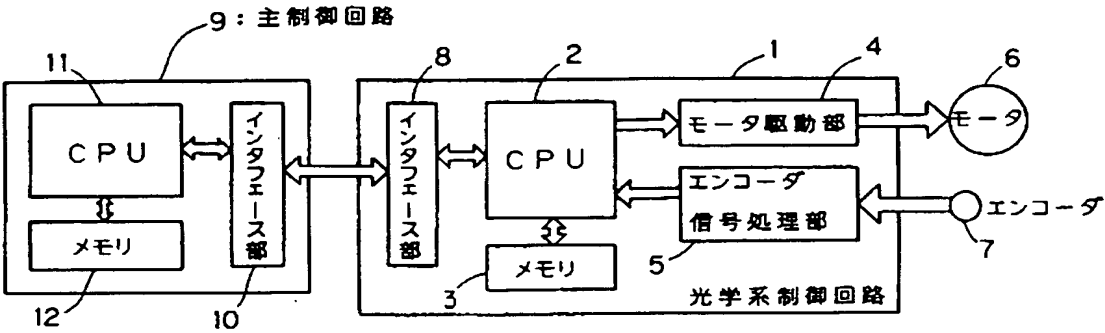
図において、1…光学系制御回路、2…CPU、3…メモリ、9…主制御回路、11…CPU、12…メモリ、を示す。

特許出願人 三田工業株式会社
代理人 弁理士 堀岡 耕作
(ほか2名)

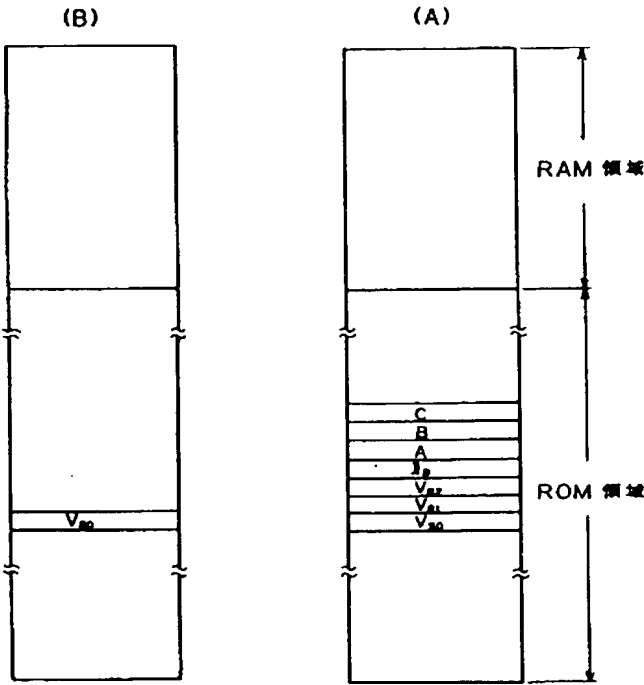
第2図



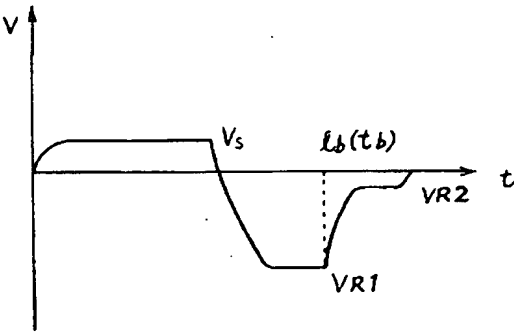
第 1 図



第 3 図



第 5 図



第4図

